



Présentation

Code interne : ES8EN227

Description

L'objectif de cet enseignement est de faire comprendre les enjeux liés à la vérification des systèmes numériques lors de leurs phases de conception. Afin d'améliorer les processus de conception et réduire le temps de développement, les méthodes usuelles employées lors de la conception de systèmes numériques sont détaillées. Enfin, ces méthodes sont mise en oeuvre durant une séquence de TDs/TPs à l'aide des langages C et VHDL.

Heures d'enseignement

CM	Cours Magistraux	20h
----	------------------	-----

Pré-requis obligatoires

Une maîtrise des langages C/C++ et VHDL est nécessaire.

Syllabus

- Partie 1: Les enjeux de la vérification des systèmes
- Partie 2: Les méthodes de vérifications
- Partie 3: Les outils de vérification pour le développement logiciel.
- Partie 4: Les outils de vérification pour le développement matériel.

Informations complémentaires

Vérification, Cycle en V, Programmation logicielle (C/C++), Architectures matérielles (VHDL), testbench

Modalités de contrôle des connaissances

Évaluation initiale / Session principale

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
Projet	Contrôle Continu			1		