



## Présentation

**Code interne :** ESE8-NUMU1

## Description

Cet enseignement vise à donner aux étudiants les connaissances nécessaires sur les architectures et microarchitectures des processeurs modernes. Pour cela, il s'appuie notamment sur le jeu d'instructions RISC-V afin d'illustrer les différents mécanismes.

Différents concepts sont abordés:

- Les architectures de jeu d'instructions,
- Le pipeline et les problèmes de dépendances,
- Les microarchitectures superscalaires,
- Les mémoires caches et la hiérarchie mémoire,
- Les mécanismes de spéculation.

## Objectifs

Compétence(s) développée(s) grâce à ce module :

- Analyser et utiliser une architecture programmable pour les systèmes embarqués - niveau 2
- Concevoir et mettre en œuvre un programme écrit en C/C++ pour les systèmes embarqués - niveau 2
- Concevoir et mettre en œuvre une architecture programmable pour les systèmes embarqués - niveau 2
- Concevoir et mettre en œuvre une architecture numérique pour les systèmes embarqués - niveau 2

## Heures d'enseignement

CI

Cours Intégrés

28h

## Pré-requis obligatoires

EN110: électronique Numérique

## Syllabus

Les architectures de jeu d'instructions.  
Le pipeline et les problèmes de dépendances.  
Les microarchitectures superscalaires.  
Les mémoires caches et la hiérarchie mémoire.  
Les mécanismes de spéculation.

## Informations complémentaires

Architectures des processeurs, systèmes embarqués

## Bibliographie

Documents en ligne

## Modalités de contrôle des connaissances

### Évaluation initiale / Session principale

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
Contrôle Continu Intégral	Contrôle Continu					

## Infos pratiques

## Contacts

### Responsable module

Mathieu Escouteloup

✉ [Mathieu.Escouteloup@bordeaux-inp.fr](mailto:Mathieu.Escouteloup@bordeaux-inp.fr)