

Conception d'un processeur avec jeu d'instructions élémentaires



École / Prépa
ENSEIRB-
MATMECA

Présentation

Code interne : ES8EN217

Description

L'objectif de ce module est d'assembler des fonctions élémentaires (combinatoires et séquentielles) pour réaliser un processeur programmable avec un jeu d'instructions élémentaires. L'architecture conçue sera intégrée sur une carte de prototypage FPGA.

Le processeur à concevoir est un processeur 8-bits à usage universel. Il est capable d'exécuter 4 types d'instructions. Ce processeur est basé sur un registre accumulateur appelé ACCU de taille 8 bits. Chaque instruction est codée sur 8 bits. Deux bits pour coder le type de l'opération (code.op) et 6 bits pour coder l'opérande ou l'adresse de l'opérande dans la mémoire selon le type de l'instruction.

Heures d'enseignement

CI	Cours Intégrés	12h
TI	Travaux Individuels	9h

Pré-requis obligatoires

Le langage VHDL et l'environnement Vivado de Xilinx.

Syllabus

Le module se décompose en 3 séances de 4 heures. Durant la première séance, l'architecture typique simplifiée des processeurs à usage universel est détaillée. Puis un travail sur table aboutira à la définition d'un schéma bloc hiérarchique du processeur. Les deux autres séances sont consacrées à la conception du processeur à l'aide du langage VHDL dans l'environnement Vivado de Xilinx.

Bibliographie

1 support de cours et 1 support de bureau d'étude.

Modalités de contrôle des connaissances

Évaluation initiale / Session principale

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
Contrôle Terminal	Ecrit	60		1		sans document sans calculatrice

Infos pratiques

Contacts

Responsable module

Christophe Jégo

✉ Christophe.Jego@bordeaux-inp.fr